

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-331831

(43)Date of publication of application : 30.11.2000

(51)Int.Cl: H01F 17/00
H03H 5/02

(21)Application number : 11-137425

(71)Applicant : TOKIN CORP

(22)Date of filing : 18.05.1999

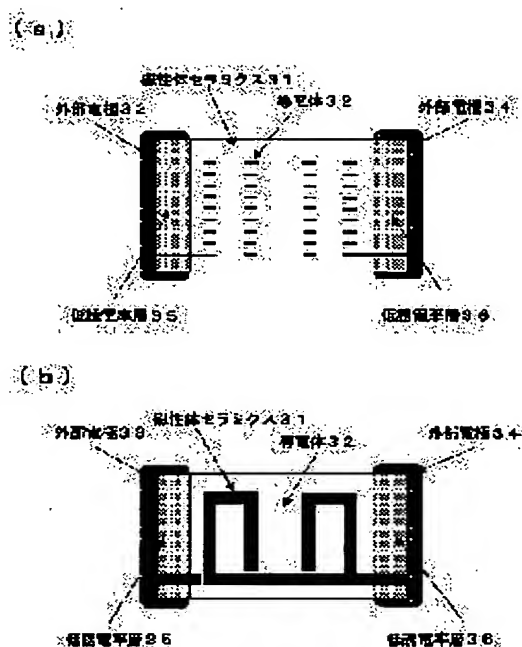
(72)Inventor : HOSHI HARUKI

(54) LAMINATED IMPEDANCE DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a laminated impedance device which is the same in shape but more excellent in impedance characteristics than usual.

SOLUTION: A magnetic or non-magnetic ceramic layer 31 is laminated on a conductor layer 32 into a laminate, and the laminate is sintered into a laminated impedance device, where two or more spiral conductors are provided in parallel inside the impedance device, so that the impedance device can be improved in impedance characteristics near an LC resonance point and in a low-frequency domain. Low dielectric constant layers 35 and 36 are additionally provided inside the device, by which the device can be improved in impedance characteristics in a high-frequency domain. The low dielectric constant layers 35 and 36 are preferably formed of a mixture of steatite and glass.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁(JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開 2000-331831

(P 2000-331831A)

(43) 公開日 平成12年11月30日(2000.11.30)

(51) Int. Cl.⁷

識別記号

F I

テーマコード* (参考)

H 0 1 F 17/00

H 0 1 F 17/00

D 5E070

H 0 3 H 5/02

H 0 3 H 5/02

5J024

審査請求 未請求 請求項の数 6

O L

(全 10 頁)

(21) 出願番号 特願平11-137425

(22) 出願日 平成11年5月18日(1999.5.18)

(71) 出願人 000134257

株式会社トーキン

宮城県仙台市太白区郡山6丁目7番1号

(72) 発明者 保志 晴輝

宮城県仙台市太白区郡山6丁目7番1号 株

式会社トーキン内

F ターム(参考) 5E070 AA01 AB07 BA12 CB03 CB13

5J024 AA01 DA29 DA35 EA09 KA02

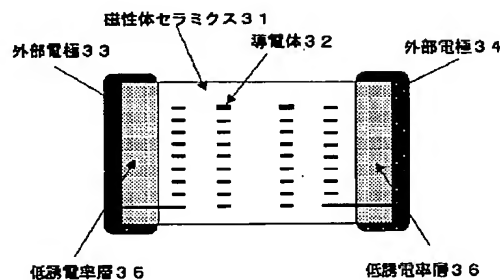
(54) 【発明の名称】 積層型インピーダンス素子

(57) 【要約】

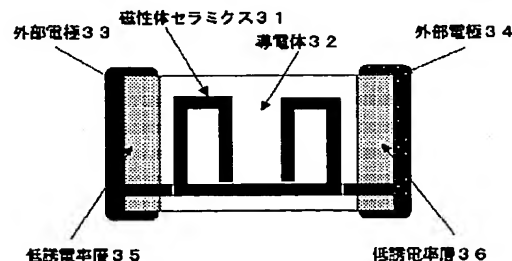
【課題】 積層型インピーダンス素子において、従来と同じ形状でよりインピーダンス特性の優れた素子を提供すること。

【解決手段】 磁性体もしくは非磁性体セラミクス層 31 と導電体層 32 とを積層して同時焼結して作製する積層型インピーダンス素子に関し、素子内部に互いに平行に配置された2つもしくはそれ以上の螺旋状導電体を設けることで、LC共振点付近および低周波数領域でのインピーダンス特性を改善する。また、別に素子内部に低誘電率層 35、36 を設けることで、高周波数領域でのインピーダンス特性を同時に改善する。低誘電率層 35、36 にはステアタイトとガラスの混合物が適している。

(a)



(b)



【特許請求の範囲】

【請求項 1】 磁性体もしくは非磁性体セラミクス層と導電体層とを積層して同時焼結することにより、螺旋状導電体を磁性体もしくは非磁性体セラミクスの中に設けた積層型インピーダンス素子において、該螺旋状導電体が、互いに平行に配置された 2 つ以上の螺旋状導電体であり、かつ該螺旋状導電体が、電氣的に互いに直列に接続された構成をとり、前記磁性体もしくは非磁性体セラミクスの内部に設けられていることを特徴とする積層型インピーダンス素子。

【請求項 2】 磁性体もしくは非磁性体セラミクス層と導電体層とを積層して同時焼結することにより、螺旋状導電体を磁性体もしくは非磁性体セラミクスの中に設けた積層型インピーダンス素子において、該積層型インピーダンス素子内部に低誘電率層を形成することを特徴とする積層型インピーダンス素子。

【請求項 3】 前記低誘電率層の比誘電率が 10 以下であることを特徴とする請求項 1 記載の積層型インピーダンス素子。

【請求項 4】 前記低誘電率層がステアタイトとガラスからなることを特徴とする請求項 2 または 3 記載の積層型インピーダンス素子。

【請求項 5】 前記低誘電率層を前記螺旋状導電体と外部電極間に形成することを特徴とする請求項 2 乃至 4 のいずれかに記載の積層型インピーダンス素子。

【請求項 6】 請求項 1 記載の、互いに平行に配置された 2 つ以上の螺旋状導電体を有する積層型インピーダンス素子であり、かつ、請求項 2 乃至 5 のいずれかに記載の前記低誘電率層を有することを特徴とする積層型インピーダンス素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 本発明は、磁性体もしくは非磁性体セラミクスと複数の螺旋状導電体からなる表面実装用の積層型インピーダンス素子に関するものである。

【0002】

【従来の技術】 近年の電子機器の小型化・高周波化により、EMI 対策が重要性を増している。電子機器の EMI 対策のために多用されている部品が、インピーダンス素子である。一般に、インピーダンス素子は、除去した周波数のノイズを、素子の有するインピーダンス特性によって遮蔽し、EMI 対策としている。このために、電子機器の信号系に直列にインピーダンス素子を挿入してノイズを遮断することが一般的に行われている。

【0003】 また、パワーアンプ等のアクティブ素子の電源ラインに対しても、アクティブ素子によって発生する信号周波数のノイズの電源ラインへの漏洩を、インピーダンス素子を電源ライン内に直列に挿入することで抑制する、EMI 対策が行われている。

【0004】 近年における電子機器の小型化の要求によ

り、プリント配線基板上に実装されるインピーダンス素子は、積層型とすることで小型化されている。一般に、積層型インピーダンス素子は、軟磁性フェライト粉末および／または非磁性体セラミクス、および結合剤からなる磁性体層もしくは非磁性体層と、導電性粉末および結合剤からなる導電体層とを、スクリーン印刷などの方法で交互に積層する方法で製造される。この方法で磁性体層の中に、螺旋状に、かつ螺旋軸の方向が両端の外部電極面とは平行な向きとなるように導電体層を設けたのち、磁性体層と導電体層とを同時焼結する方法で形成している。

【0005】 従来の積層型のインピーダンス素子の構造例を図 8 に示す。図 8 (a) は垂直断面図、図 8 (b) は同一の素子を上面から見た内部構造の投影図である。図 8 において、素子本体は、フェライトからなる磁性セラミクス 81 にて構成されており、その内部に導電体 82 が存在する。導電体 82 は、連続した 1 本の導体であり、磁性セラミクス 81 内で 9 ターンの螺旋構造を描いている。導電体 82 の両端は、それぞれ外部電極 83、84 に接続されていて、インピーダンス素子の使用時には電流を導電体 82 に導いている。

【0006】

【発明が解決しようとする課題】 しかし、上述の従来の磁性体もしくは非磁性体セラミクスの中に螺旋状導電体を設けた従来の積層型インピーダンス素子には、以下の欠点がある。即ち、高インピーダンスを得るためには、導電体のターン数を多くする必要があるが、この場合、結果として、同素子が高さ方向に厚くなってしまう。さらに、ターン数の多いインピーダンス素子では、浮遊容量が大きくなるために、高周波帯域では大きなインピーダンスが得られないという問題がある。

【0007】 従って、本発明は、懸る従来の技術の欠点を解消し、素子の高さが低く、かつ、高周波帯域においてもインピーダンスが大きい積層型インピーダンス素子を提供するものである。

【0008】

【課題を解決するための手段】 本発明によれば、素子高さを高くせずに、螺旋状導電体のターン数を多くするために、1 つの積層型インピーダンス素子内に 2 つまたはそれ以上の螺旋状導電体を積層形成して、それぞれ隣合う導電体どうしの端部を互いに接続し、さらに両端の螺旋状導電体については残ったもう一方の端部を各々外部電極と接続する。また、高周波領域でのインピーダンスの低下を抑制するために、外部電極と前記両端の螺旋状導電体とのそれぞれの間に低誘電率層を形成する。これにより、小形で高さが低く、高周波帯域でも大きなインピーダンスが得られる積層型インピーダンス素子が得られる。

【0009】 即ち、本発明は、磁性体もしくは非磁性体セラミクス層と導電体層とを積層して同時焼結すること

により、螺旋状導電体を磁性体もしくは非磁性体セラミクスの中に設けた積層型インピーダンス素子において、該螺旋状導電体が、互いに平行に配置された2つ以上の螺旋状導電体であり、かつ該螺旋状導電体が、電氣的に互いに直列に接続された構成をとり、前記磁性体もしくは非磁性体セラミクスの内部に設けられていることを特徴とする積層型インピーダンス素子である。

【0010】また、本発明は、磁性体もしくは非磁性体セラミクス層と導電体層とを積層して同時焼結することにより、螺旋状導電体を磁性体もしくは非磁性体セラミクスの中に設けた積層型インピーダンス素子において、該積層型インピーダンス素子内部に低誘電率層を形成することを特徴とする積層型インピーダンス素子である。

【0011】また、本発明は、前記低誘電率層の比誘電率が10以下であることを特徴とする積層型インピーダンス素子である。

【0012】また、本発明は、前記低誘電率層がステアタイトとガラスからなることを特徴とする積層型インピーダンス素子である。

【0013】また、本発明は、前記低誘電率層を前記螺旋状導電体と外部電極間に形成することを特徴とする積層型インピーダンス素子である。

【0014】また、本発明は、互いに平行に配置された2つ以上の螺旋状導電体を有する積層型インピーダンス

$$Z \approx R = 2\pi f \cdot \mu_0 \mu'' \cdot A \cdot l^{-1} \cdot N^2$$

R: レジスタンス、f: 周波数、 μ_0 : 真空の透磁率、 μ'' : セラミクスの比透磁率の虚部、A: 磁路断面積、l: 磁路長、N: 螺旋状導電体の総ターン数

【0019】本発明で記述する、磁性体もしくは非磁性体セラミクスの中に2つまたはそれ以上の螺旋状導電体が直列に接続され、かつ互いに平行に設置された積層型インピーダンス素子では、従来の素子に比べて磁路断面積A₀は減少する。しかし、インピーダンスの絶対値Zは、数1、数2のいずれの場合でも、螺旋状導電体のターン数Nの2乗に比例して増加するため、磁路断面積A₀の減少の影響を打ち消し、結果として、逆に増加する。従って、LC共振点付近またはそれ以下の周波数fの場合、同一の高さ・同一形状の素子であっても、より高いインピーダンスを持つ素子を作製できる。

【0020】図1は、本発明の一例で、磁性体セラミクスの中に2つの螺旋状導電体を直列かつ互いに平行に設置した積層型インピーダンス素子である。螺旋状導電体を1つしか設置していない、図8に示す、外形が同一寸法である従来例との比較では、1つの螺旋状導電体が形成する磁路断面積A₀は図8の従来例の約3分の1である。しかし、螺旋状導電体の総ターン数は、この例では9ターンから18ターンへと増加しており、素子の外形寸法が同一であるにもかかわらず、全体でインピーダン

素子であり、かつ、前記低誘電率層を有することを特徴とする積層型インピーダンス素子である。

【0015】

【発明の実施の形態】以下、本発明の実施の形態について図面を参照しながら説明する。

【0016】本発明の効果については、次のように考えられる。即ち、積層型インピーダンス素子において、LC共振点付近およびそれよりも低周波数領域でのインピーダンスの絶対値Zは、LC共振点より低い場合には、近似的にリアクタンスX_Lのみで記述でき、数1で表わすことができる。また、LC共振点付近でのインピーダンスの絶対値Zは、近似的にレジスタンスRのみで記述できることから、数2で表わすことができる。

【0017】

【数1】

$$Z \approx X_L = 2\pi f \cdot \mu_0 \mu' \cdot A \cdot l^{-1} \cdot N^2$$

X_L: リアクタンス、f: 周波数、 μ_0 : 真空の透磁率、 μ' : セラミクスの比透磁率の実部、A: 磁路断面積、l: 磁路長、N: 螺旋状導電体の総ターン数

【0018】

【数2】

スの絶対値Zは約1.3倍に増加することになる。

【0021】一方、LC共振点よりも高周波数領域での前記積層型素子のインピーダンスの絶対値Zは、近似的にキャパシタンスCを用いて記述される物理量である、リアクタンスX_Cにて記述することができ、数3式で表わされる。数3には、磁路断面積A₀や螺旋状導電体のターン数Nに関連する項は存在しないので、2つまたはそれ以上の螺旋状導電体を内部に設けることでは、素子のインピーダンスを増加させることはできない。この高周波数領域での素子のインピーダンスの改善は、別の方法によって解決される。

【0022】

【数3】

$$Z \approx X_C = (2\pi f \cdot C)^{-1}$$

X_C: リアクタンス、C: キャパシタンス

【0023】上記の数3から、積層型インピーダンス素子のキャパシタンスCが小さければ、高周波数領域で大きなインピーダンスを有する素子が得られることがわか

る。ここで、数3のキャパシタンスCは、以下の数4式で表わされる。これによると、螺旋状導電体間の比誘電率と、導電体と外部電極間の比誘電率のいずれかを小さくすれば、全体のキャパシタンスCが小さくなり、すなわちリアクタンス X_c が大きくなるので、高周波帯域で大きなインピーダンスが得られる。理由を以下に詳解する。

【0024】

【数4】

$$C = \epsilon_0 \cdot \epsilon \cdot S \cdot d^{-1}$$

X_c : リアクタンス、 ϵ_0 : 真空の誘電率、 ϵ : セラミックスの比誘電率、 S : 導電体の断面積、 d : 導電体間距離(導電体と外部電極の距離)

【0025】図4は、図3に示した本発明の実施例の場合について、LC共振点付近よりも高周波数領域の場合の、積層型インピーダンス素子の近似的な等価回路を示したものである。この周波数領域では、積層型インピーダンス素子は等価的に複数のキャパシタであるとほぼ見なすことができる。この場合、螺旋状導電体や外部電極が各キャパシタを構成する対向する電極に相当する。

【0026】図4は、2つの螺旋状導電体を含した例を示して、この場合は近似的に3つのキャパシタを直列に接続した回路と等価である。この回路全体のキャパシタンスCを小さくするには、各キャパシタ C_1 、 C_2 、 C_3 の少なくとも1つ以上のキャパシタンスを小さくすればよい。これは、等価的には少なくとも1か所以上の各キャパシタの対向する電極間距離を引き離すことに相当する。回路全体のキャパシタンスCは、各キャパシタ C_1 、 C_2 、 C_3 の等価的な電極間距離の総和に反比例するので、少なくとも1か所以上の等価的な電極間距離が増加すれば、全体のキャパシタンスCは減少する。図4の例では、2箇所のキャパシタ C_1 、 C_3 の位置に低誘電率層を設置し、設置しない場合よりも各々の部位でのキャパシタンスを減少させている。

【0027】積層型インピーダンス素子の構成素材として磁性体もしくは非磁性体セラミックスを用いる理由は、積層型インピーダンス素子の場合、LC共振点付近およびそれよりも低周波数領域での前記 μ' および μ'' (セラミックスの比透磁率の実部および虚部)が大きな素材を用いることで、これらの周波数領域でのインピーダンスを増大させるためである。磁性体もしくは非磁性体セラミックスには、一般に、前記 μ' および μ'' の大きな素材が多く、とくに磁性体であるフェライトなどが適している。

【0028】しかし、磁性体もしくは非磁性体セラミックスでは、一般に、比透磁率の実部 μ' および虚部 μ'' のみならず、比誘電率 ϵ も比較的大きい。このことは、LC共振点よりも高周波数領域でのインピーダンスの増大においては、前記の理由で不利である。従って、図4の

実施例での C_1 、 C_3 の位置に、用いられているセラミックスよりも低誘電率の素材を設置し、全体のインピーダンスを増加させる方法が有効である。そのような素材としては、たとえば、石英ガラス(比誘電率: 約1)が挙げられるが、純ガラスの素材は、積層印刷による素子の作製工程では使用が困難であるので、比較的、比誘電率の低いセラミックスであるステアタイトと混合して用いられる。なお、低誘電率の素材を C_2 の位置に設置しない理由は、素子の構成が複雑になるために、作製工程の難易度が上がることで、結果として、前記のセラミックスの比透磁率の実部 μ' および虚部 μ'' の値に影響を与えるためである。

【0029】

【実施例】次に、本発明を実施例にて詳細に説明する。

【0030】(実施例1)互いに平行に配置された2つの螺旋状導電体層と、磁性体セラミックスであるフェライト層とを積層して同時焼結する方法で、図1に示す積層型インピーダンス素子を製造した。まず、下記の表1の組成にて各素材を各々配合し、スパイラルミキサーを用いて混ぜ合わせ、さらにビーズミルにて混練分散し、フェライトペーストを得た。また、下記の表2の組成にて各素材を3本ロールミルにて混練分散し、導電体形成用のAgペーストを得た。

【0031】

【表1】

磁性体セラミックス形成用のフェライトペースト組成	
素材の名称	比率
Ni-Cu-Znフェライト粉末 (比表面積 $5.2\text{ m}^2/\text{g}$)	100重量部
結合剤(ポリビニルピクリル)	5重量部
溶剤(エチルセロソルブ)	70重量部

【0032】

【表2】

導電体形成用のAgペースト組成	
素材の名称	比率
結合剤(エチルセルロース)	5重量部
溶剤(α -テルピネオール)	15重量部
溶剤(ブチルカルビトールアセテート)	10重量部
銀微粉末(平均粒径 $0.5\text{ }\mu\text{m}$)	100重量部

【0033】本発明の実施例1では、各ペーストを、それぞれ表1および表2の配合比で作製したが、これ以外の成分、配合比でも、印刷可能なペーストが得られるものであれば良い。また、実施例では、配合物の混練分散装置に三本ロールミルを用いたが、これ以外にもホモジナイザーやサンドミル等を用いても良い。

【0034】次に、作製したフェライトペーストを、印刷法により所定の厚さ($500\text{ }\mu\text{m}$)に積層し、その上にAgペーストとフェライトペーストを使用して、図1

に示す螺旋形状が2つの導電体の巻線パターン（この場合はそれぞれ9ターン）を形成するように、印刷積層を順に行った。その後、もう一度、フェライトペーストを、印刷法により所定の厚さ（500μm）に積層した。

【0035】上記作製した積層体を所定の大きさ（電極間距離6.0mm×電極塗布面長さ4.0mm×電極塗布面高さ4.0mm）に切断し、これを脱バインダー処理後、900℃で一体焼結した。この焼結体の4.0mm×4.0mmの大きさの両側の面には、螺旋状導電体につながる導電体層の断面が露出している。この2つの面に、それぞれAgを主成分とした導電性ペースト（組成は記述せず）を塗布し、約600℃で焼き付けを行い、外部電極を形成して積層型インピーダンス素子を作製した。

【0036】（比較例1）上記の実施例1と同様の方法で、図8に示す螺旋形状が1つの導電体の巻線パターンを印刷積層により作製した。まず、印刷法により所定の厚さ（500μm）に積層し、その上にAgペーストとフェライトペーストを使用して、螺旋形状の導電体が1つの巻線パターンを、実施例1の螺旋状導電体1つ分と同じターン数で形成し、最後にもう一度フェライトペーストを印刷法により所定の厚さ（500μm）に積層した。用いたフェライトペーストおよびAgペーストの組成、およびその後に実施した脱バインダー処理、切断、一体焼結、電極塗布および焼き付けの工程は、実施例1の場合と全く同一である。

【0037】実施例1および比較例1の方法で作製した積層型インピーダンス素子の、それぞれのインピーダンスの周波数特性を、YHP製インピーダンスアナライザーHP4291Aを用いて測定した。この結果を図5に示す。図5から明らかなように、本発明での実施例1による積層型インピーダンス素子は、低周波数領域からグラフの100MHz付近にあるLC共振点の近傍まで、比較例1に記す素子に比べ常に高いインピーダンス特性を示している。これより、螺旋状導電体を2個以上とすることで、素子の寸法形状を変えずにインピーダンス特性を改善できることがわかる。このことから従来と同等のインピーダンス特性で十分な場合には、素子のターン数を減らすことが可能になり、積層型インピーダンス素子の小型化・薄型化が可能といえる。

【0038】（実施例2）1つの螺旋状導電体層と、磁性セラミクスであるフェライト層、およびステアタイト層を積層して同時焼結する方法で、積層型インピーダンス素子を製造した。まず、下記の表3の組成にて各素材を各々配合し、スパイラルミキサーを用いて各々混ぜ合わせ、さらにビーズミルにて混練分散し、フェライトペースト、ステアタイトペーストをそれぞれ得た。作製したフェライト層、ステアタイト層の焼結体の誘電率はそれぞれ17と5であり、ステアタイトが低誘電率層を

形成する。また下記の表4の組成にて各素材を3本ロールミルにて混練分散し、導電体形成用のAgペーストを得た。

【0039】

【表3】

磁性セラミクス形成用のフェライトペースト組成	
素材の名称	比率
Ni-Cu-Znフェライト粉末 (比表面積5.2m ² /g)	100重量部
結合剤（ポリビニルブチレール）	5重量部
溶剤（エチルセロソルブ）	70重量部
磁性セラミクス形成用のステアタイトペースト組成	
素材の名称	比率
ステアタイトガラス粉末 (ステアタイト：石英ガラス=1：1)	100重量部
結合剤（ポリビニルブチレール）	10重量部
溶剤（エチルセロソルブ）	80重量部

【0040】

【表4】

導電体形成用のAgペースト組成	
素材の名称	比率
結合剤（エチルセルコース）	5重量部
溶剤（α-テルピネオール）	15重量部
溶剤（ブチルカルビトールアセテート）	10重量部
銀微粉末（平均粒径0.5μm）	100重量部

【0041】本発明の実施例2では、各ペーストをそれぞれ表3および表4の配合比で作製したが、これ以外の成分、配合比でも、印刷可能なペーストが得られるものであれば良い。また、実施例では、配合物の混練分散装置に三本ロールミルを用いたが、これ以外にもホモジナイザーやサンドミル等を用いても良い。

【0042】次に、作製したフェライトペーストおよびステアタイトペーストを、印刷法により所定の厚さ（500μm）に積層し、その上にAgペーストとフェライトペースト、ステアタイトペーストを使用して、図2に示す螺旋形状が1つの導電体の巻線パターン（この場合は9ターン）を形成するように、印刷積層を順に行った。その後、もう一度フェライトペーストおよびステアタイトペーストを、印刷法により所定の厚さ（500μm）に積層した。

【0043】上記作製した積層体を所定の大きさ（電極間距離6.0mm×電極塗布面長さ4.0mm×電極塗布面高さ4.0mm）に切断し、これを脱バインダー処理後、900℃で一体焼結した。表3では、ステアタイトと石英ガラスの混合比を1：1としているが、これは、この混合比の場合、900℃で良好な一体焼結が可能であるからである。これ以外の混合比でも焼結が可能であ

れば良い。この焼結体の 4.0mm×4.0mm の大きさの両側の面には、螺旋状導電体につながる導電体層の断面が露出している。この 2 つの面にそれぞれ Ag を主成分とした導電性ペースト（組成は記述せず）を塗布し、約 600℃ で焼き付けを行い、外部電極を形成して積層型インピーダンス素子を作製した。

【0044】実施例 2 の方法で作製した積層型インピーダンス素子と、比較例 1 にて作製した素子のそれぞれのインピーダンスの周波数特性を、実施例 1 と同様に、YHP 製インピーダンスアナライザー HP4291A を用いて測定した。また、同時に実施例 1 と同様に、ステアタイトペーストを用いて作製し、かつ螺旋形状が 2 つの導電体の巻線パターン（この場合はそれぞれ 9 ターン）を持つ、図 3 に示す形状の積層型インピーダンス素子と同様の方法で作製し、同じくインピーダンスの周波数特性を測定した。これら 3 種の素子の測定結果を図 6 に示す。

【0045】図 6 から明らかなように、本発明の実施例 2 の方法で作製した、図 2 に示す螺旋形状が 1 つの導電体の巻線パターンの素子は、グラフの 100MHz 付近にある LC 共振点の近傍から高周波数領域にかけて、比較例 1 に記す素子に比べて常により高いインピーダンス特性を示している。これより、素子内にステアタイトペーストによる低誘電率層を形成することで、素子の寸法形状を変えずにインピーダンス特性を改善できることがわかる。

【0046】また、図 6 によると、図 3 に示す螺旋形状が 2 つの導電体の巻線パターンを持つ積層型インピーダンス素子の場合には、高周波数領域で図 2 に記した素子のインピーダンス特性を上回っている他、比較例 1 に記す素子との比較では、低周波数領域からグラフの 100MHz 付近の LC 共振点を越え、高周波数領域まで、常により高いインピーダンス特性を示している。これより、低誘電率層を形成することと、螺旋状導電体を 2 個以上とすることは、共に積層型インピーダンス素子の寸法形状を変えずにインピーダンス特性を改善するために有効な方法であることがわかる。

【0047】（実施例 3）実施例 2 と同様の方法で、積層型インピーダンス素子を製造した。まず、フェライトペースト、導体形成用 Ag ペーストを実施例 2 の場合と同一の配合比で作製した。さらに、下記表 5 に示す通り石英ガラスとステアタイトの混合比を変え、ステアタイトペーストの焼結体の比誘電率が 4 から 13 の範囲となる、5 種類のステアタイトガラス粉末を調製した。次に、これらをそれぞれ下記表 6 の組成比で、スパイラルミキサーを用いて各素材を各々配合し、さらにビーズミルにて混練分散し、5 種類のステアタイトペーストを得た。下記表 5 および表 6 に記した以外の混合比、配合比でも、印刷可能なペーストが得られるものであれば良い。また、実施例 3 では、配合物の混練分散装置として

三本ロールミルを用いたが、これ以外にもホモジナイザーやサンドミル等を用いても良い。

【0048】

【表 5】

ステアタイトと石英ガラスの混合比	
ステアタイト：石英ガラス (Volume%)	比誘電率
9：1	13
7：3	10
5：5	5
3：7	3

【0049】

【表 6】

磁性体セラミクス形成用のステアタイトペースト組成	
素材の名称	比率
ステアタイトガラス粉末	100重量部
結合剤（ポリビニルブチラル）	10重量部
溶剤（エチルセロソルブ）	80重量部

【0050】これらのフェライトペーストおよびステアタイトペースト、Ag ペーストを用い、図 3 に示す形状の、螺旋形状が 2 つの導電体の巻線パターン（この場合各 9 ターン）を有する同一形状の積層型インピーダンス素子を計 5 種類作製した。素子作製のための積層、脱バインダ処理、切断、一体焼結、電極塗布および焼き付け等の各工程は、実施例 1 および 2 の場合と全く同一方法とした。作製した 5 種類の素子は、それぞれステアタイトを含む低誘電率層の比誘電率が、表 5 に対応する 4 から 13 の範囲となっている。

【0051】これら 5 種類の各素子のインピーダンスの周波数特性を、実施例 1 および 2 の場合と同じく YHP 製インピーダンスアナライザー HP4291A を用いて測定した。その結果を図 7 に示す。また、比較のため、前記実施例 1 にて作製した低誘電率層を持たない素子

（比誘電率は 1.7）のインピーダンスの周波数特性も共に示す。図 7 によると、比誘電率が 4 から 13 の 5 種類の素子のインピーダンスの周波数特性は、グラフの 100MHz 付近にある LC 共振点の近傍から高周波数領域にかけて、いずれも前記実施例 1 にて作製した素子を上回っていて、このうち、比誘電率が 10 以下の素子の場合には、顕著な効果が見られることがわかる。また、とくに、比誘電率が 5 以下の素子の場合には、さらに高周波数領域での周波数特性がより改善されることもわかる。

【0052】

【発明の効果】以上説明したように、本発明によれば、積層型インピーダンス素子に互いに平行に配置された 2 つもしくはそれ以上の螺旋状導電体を内含させ、かつ素子内部に低誘電率層を形成することによって、低周波数領域から高低周波数領域まで高いインピーダンス特性を示し、従ってノイズ吸収特性に優れた素子を提供するこ

とができる。

【図面の簡単な説明】

【図1】本発明の実施例1における、2つの螺旋状導電体を内含する積層型インピーダンス素子の説明図。図1

(a)は積層型インピーダンス素子の垂直断面を示す図、図1(b)は上面から見た内部の投影図。

【図2】本発明の実施例2における、低誘電率層を有する積層型インピーダンス素子の説明図。図2(a)は積層型インピーダンス素子の垂直断面を示す図、図2

(b)は上面から見た内部の投影図。

【図3】本発明の実施例2における別の形状、および実施例3における、2つの螺旋状導電体および低誘電率層を共に有する積層型インピーダンス素子の説明図。図3

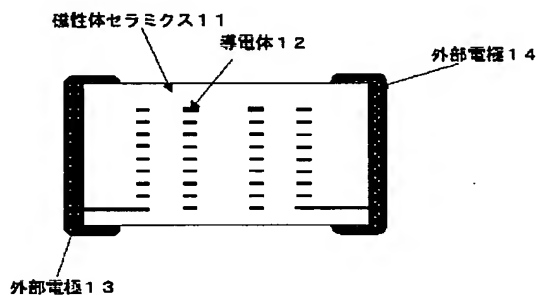
(a)は積層型インピーダンス素子の垂直断面を示す図、図3(b)は上面から見た内部の投影図。

【図4】本発明の実施例2における別の形状、および実施例3における、2つの螺旋状導電体および低誘電率層を共に有する積層型インピーダンス素子の説明図。図4

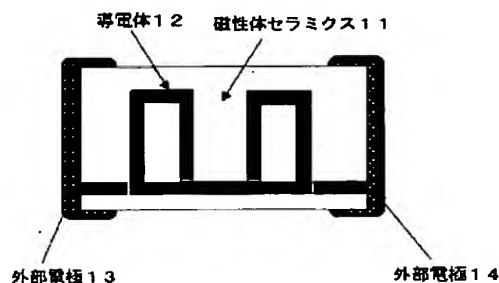
(a)は図3(b)と同一の積層型インピーダンス素子の上面から見た内部の投影図、図4(b)は積層型インピーダンス素子を、高周波数領域において近似的にキャ

【図1】

(a)



(b)



パシタと見なした場合の等価回路を示す図。

【図5】本発明の実施例1における積層型インピーダンス素子および比較例1のインピーダンスの周波数特性を示す図。

【図6】本発明の実施例2における2種類の積層型インピーダンス素子および比較例1のインピーダンスの周波数特性を示す図。

【図7】本発明の実施例3における5種類の積層型インピーダンス素子および比較のための実施例2のインピーダンスの周波数特性を示す図。

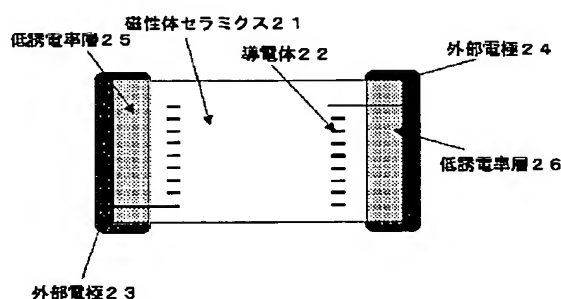
【図8】本発明の従来例1における、積層型インピーダンス素子の説明図。図8(a)は積層型インピーダンス素子の垂直断面を示す図、図8(b)は上面から見た内部の投影図。

【符号の説明】

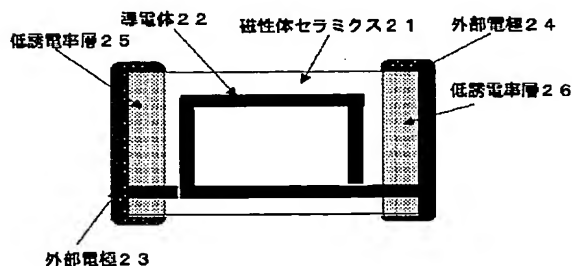
11, 21, 31, 41, 81 磁性体セラムクス
12, 22, 32, 42, 82 導電体
13, 14, 23, 24, 33, 34, 43, 44, 83, 84 外部電極
25, 26, 35, 36, 45, 46 低誘電率層

【図2】

(a)

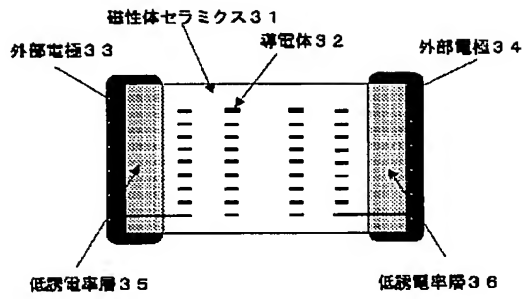


(b)

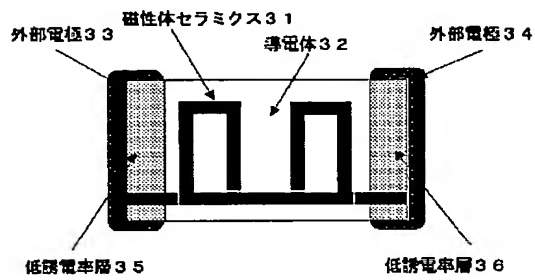


【図 3】

(a)

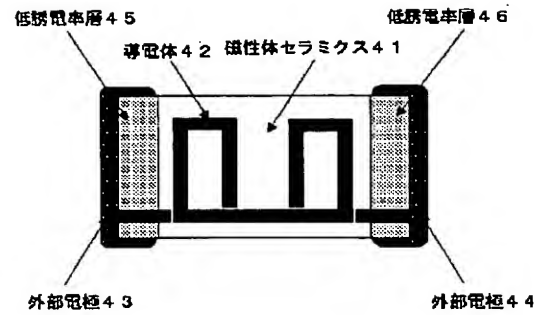


(b)

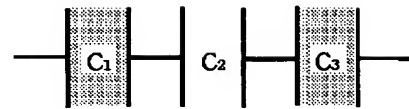


【図 4】

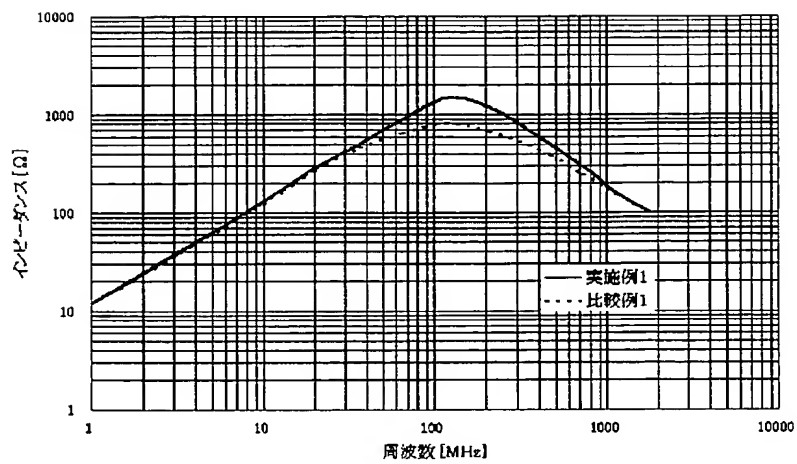
(a)



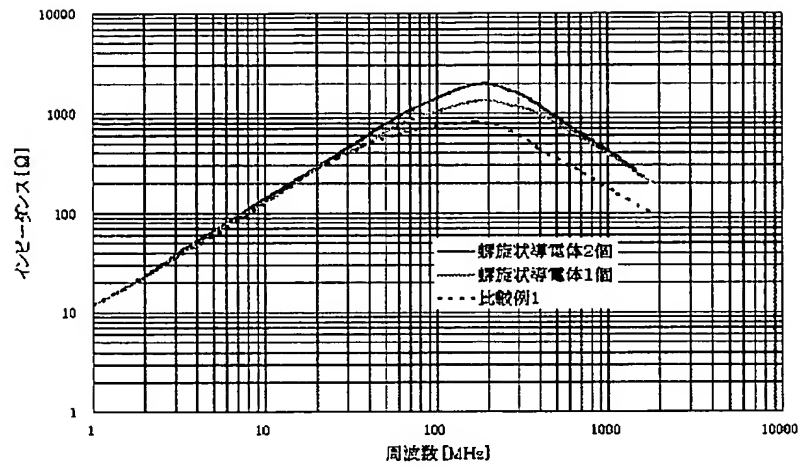
(b)



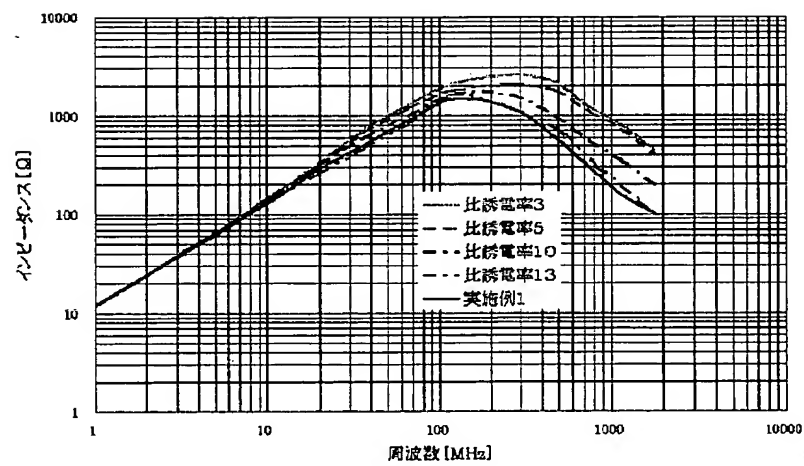
【図 5】



【図6】

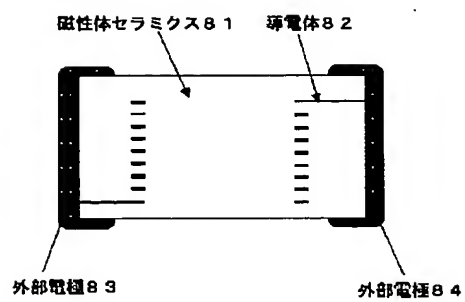


【図7】



【図 8】

(a)



(b)

